

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IFW

Patent

Customer No. 31561
Application No.: 10/707,609
Docket No. 10073-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chen et al.
Application No. : 10/707,609
Filed : December 24, 2003
For : FLIP CHIP PACKAGE STRUCTURE
Examiner :
Art Unit : 2811

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
091137816, filed on: 2002/12/30.

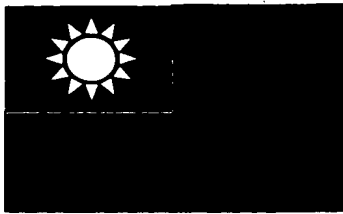
A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: May 19, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日：西元 2002 年 12 月 30 日
Application Date

申 請 案 號：091137816
Application No.

申 請 人：日月光半導體製造股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2004 年 1 月 29 日
Issue Date

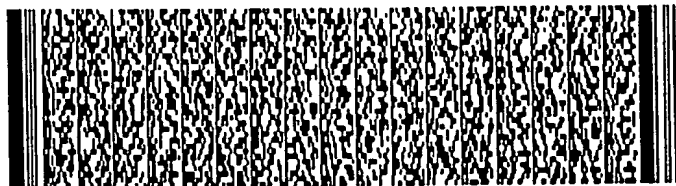
發文字號：09320072690
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	覆晶封裝結構
	英 文	Flip-Chip Package
二、 發明人 (共4人)	姓 名 (中文)	1. 陳裕文 2. 何銘倫 3. 李士璋
	姓 名 (英文)	1. Chen, Yu-Wen 2. Ho Ming-Lun 3. Shih-Chang Lee
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 高雄市河堤路582-1號9樓 2. 高雄縣永安鄉保寧村保安路67-26號 3. 高雄縣大社鄉民治路43號
	住居所 (英 文)	1. 2. 3. No. 43, Min-Chih Rd., Ta-She Hsiang, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 張志煌
	姓 名 (英 文)	4. Chih-Huang Chang
	國 籍 (中 英 文)	4. 中華民國 TW
	住 居 所 (中 文)	4. 台南縣永康市西勢路158巷11號
	住 居 所 (英 文)	4. No. 11, Lane 158, Hsishih Rd., Yungkang City, Tainan Hsien, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：覆晶封裝結構)

一種覆晶封裝結構，至少包括一晶片、一基板、至少一第一接合塊、多個第二接合塊。晶片具有一第一接合塊配置範圍，而基板具有一第二接合塊配置範圍，並且基板具有至少一第一凹孔及多個第二凹孔，第一凹孔及第二凹孔位在第二接合塊配置範圍上，而第一凹孔的深度大於第二凹孔的深度。第一接合塊，位在該晶片之該第一接合塊配置範圍與該基板之該第二接合塊配置範圍之間，且該第一接合塊透過該第一凹孔與該基板接合。第二接合塊係位在晶片之第一接合塊配置範圍與基板之第二接合塊配置範圍之間，且第二接合塊透過第二凹孔與基板接合，其中第一接合塊之體積係大於第二接合塊之體積。

伍、(一)、本案代表圖為：第____2____圖

(二)、本案代表圖之元件代表符號簡單說明：

110：晶片

112：主動表面

130：基板

陸、英文發明摘要 (發明名稱：Flip-Chip Package)

A flip-chip package includes a chip, a substrate, at least one first bump and multiple second bumps. The substrate has at least one first hole and multiple second holes, wherein the first hole is deeper than the second holes. The first bonding bump and the second bonding bumps are located between the chip and the substrate. The first bump is bonded to the substrate through



四、中文發明摘要 (發明名稱：覆晶封裝結構)

132 : 基板表面

134 : 第一凹孔

136 : 第二凹孔

150 : 第一凸塊

152 : 第二凸塊

160 : 焊料

陸、英文發明摘要 (發明名稱：Flip-Chip Package)

the first hole. The second bumps are bonded to the substrate through the second holes. The volume of the first bump is larger than that of the second bumps.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項修

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域

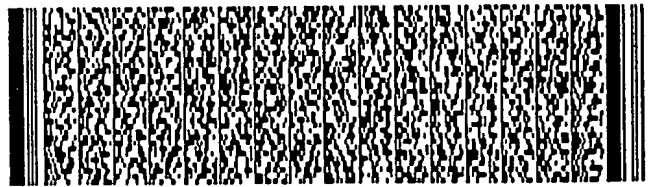
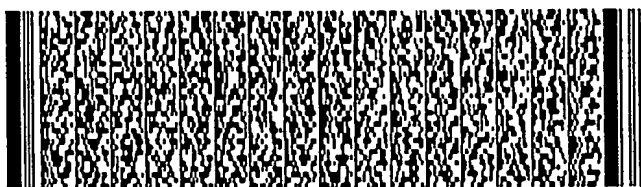
本發明是有關於一種覆晶封裝結構，且特別是有關於一種可以提高晶片與基板接合可靠度的覆晶封裝結構。

先前技術

在半導體產業中，積體電路(Integrated Circuits, IC)的生產，主要分為三個階段：裸晶片(die)的製造、積體電路(IC)的製作以及積體電路(IC)的封裝(Package)等。其中，裸晶片係經由晶圓(Wafer)製作、電路設計、光罩製作以及切割晶圓等步驟而完成，而每一顆由晶圓切割所形成的裸晶片，在經由裸晶片上之接點與外部訊號電性連接後，可再以封膠材料將裸晶片包覆著，其封裝之目的在於防止裸晶片受到濕氣、熱量、雜訊的影響，並提供裸晶片與外部電路之間電性連接的媒介，如此即完成積體電路的封裝(Package)步驟。

隨著積體電路之積集度的增加，晶片的封裝結構也是越來越多樣化，而覆晶技術由於具有縮小晶片封裝面積及縮短訊號傳輸路徑等優點，目前已經廣泛應用於晶片封裝領域，例如晶片尺寸構裝(Chip Scale Package, CSP)、晶片直接貼附封裝(Direct Chip Attached, DCA)以及多晶片模組封裝(Multi-Chip Module, MCM)等型態的封裝模組，均可以利用覆晶技術而達到封裝的目的。

在習知的覆晶接合製程中，係先將多個凸塊製作在晶片的接點上，之後再以網板印刷的方式形成一焊料到基板的接點上，接著便翻覆晶片，使晶片上的凸塊對準焊料



五、發明說明 (2)

並使凸塊附著在焊料上，之後再進行迴焊的製程，使得焊料可以與凸塊結合而形成多個接合塊，透過凸塊與焊料所構成的接合塊可以使晶片固定在基板上，並使晶片與基板電性連接。

承上所述，在習知的覆晶接合製程中，具有下列的問題：

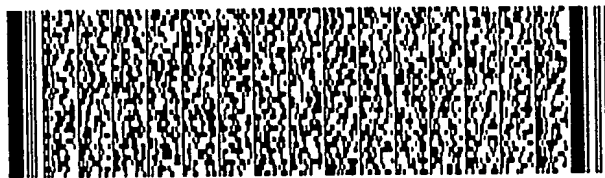
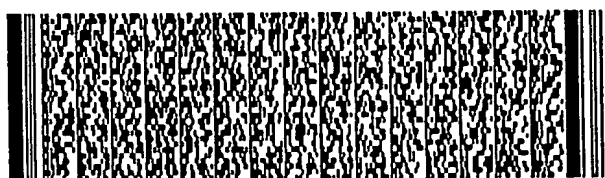
1. 由於焊料係為膏狀的樣式，因此當凸塊附著到焊料上之後，凸塊並不能穩固地固定在基板之接點上，只要受到輕微的外力，便會使凸塊產生偏移。故在進行運送時或在迴焊爐中受風吹動時，經常會有凸塊偏移的現象發生，使得凸塊會偏離在基板上期望的位置。

2. 由於晶片與基板之間的熱膨脹係數差異甚大，並且基板在受熱時，會有翹曲的現象發生，因此往往會使得位在周邊位置的凸塊產生與基板剝離的現象，造成晶片與基板間的接合可靠度甚低。

3. 由於基板相對於晶片之膨脹基準點(在此基準點，晶片與基板之間在理想狀況下不具有熱膨脹應力)並不一定每次均位在晶片的中間區域，若是膨脹基準點偏向晶片的一側時，則與晶片該側對應之另一側的凸塊便必須承受較大的熱膨脹應力且會產生較大的形變量，若是此處的凸塊承受不住時，便會造成凸塊與基板之間產生剝離的現象。

發明內容

有鑑於此，本發明的目的之一是提出一種覆晶封裝



五、發明說明 (3)

結構，可以在進行運送時或在迴焊爐中受風吹動時，避免有凸塊偏移的現象發生，使得凸塊可以位在基板上期望的位置。

本發明的另一目的是提出一種具有覆晶封裝結構，可以避免凸塊與基板之間產生剝離的現象，以提升晶片與基板間的接合可靠度。

在敘述本發明之前，先對空間介詞的用法做界定，所謂空間介詞"上"係指兩物之空間關係係為可接觸或不可接觸均可。舉例而言，A物在B物上，其所表達的意思係為A物可以直接配置在B物上，A物有與B物接觸；或者A物係配置在B物上的空間中，A物沒有與B物接觸。

為達本發明之上述目的，提出一種覆晶封裝結構，至少包括一晶片、一基板、至少一第一接合塊、多個第二接合塊。晶片具有一第一接合塊配置範圍，而基板具有一第二接合塊配置範圍，並且基板具有至少一第一凹孔及多個第二凹孔，第一凹孔及第二凹孔位在第二接合塊配置範圍上，而第一凹孔的深度大於第二凹孔的深度。第一接合塊，位在該晶片之該第一接合塊配置範圍與該基板之該第二接合塊配置範圍之間，且該第一接合塊透過該第一凹孔與該基板接合。第二接合塊係位在晶片之第一接合塊配置範圍與基板之第二接合塊配置範圍之間，且第二接合塊透過第二凹孔與基板接合，其中第一接合塊之體積係大於第二接合塊之體積。

依照本發明的一較佳實施例，其中第一接合塊的數



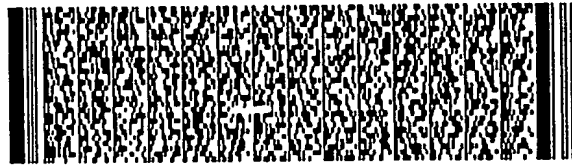
五、發明說明 (4)

目係為一個，而第一接合塊係位在晶片之第一接合塊配置範圍的中間區域上，且第一凹孔的數目亦為一個，而第一凹孔係位在第二接合塊配置範圍之中間區域上。或者，第一接合塊的數目係為二個，而第一接合塊係以晶片之第一接合塊配置範圍的形心位置為中心，對稱配置在晶片與基板之間，且第一凹孔的數目亦為二個，而第一凹孔係以第二接合塊配置範圍之形心位置為中心，對稱配置在第二接合塊配置範圍上。或者，第一接合塊的數目係為複數個，第一接合塊係分別位在晶片與基板之間且靠近晶片之第一接合塊配置範圍的角落處，且第一凹孔的數目亦為複數個，而第一凹孔係分別位在第二接合塊配置範圍之角落處。另外，第一接合塊可以無電性功能地或具有電性功能地配置在晶片與基板之間。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

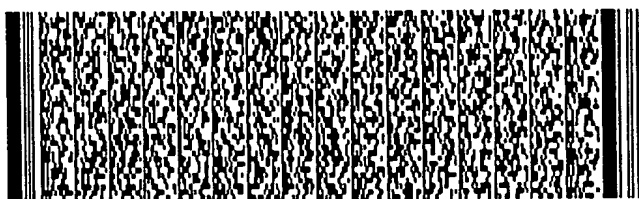
請參照第1圖至第4圖，其繪示本發明第一較佳實施例的一種覆晶封裝製程的剖面放大示意圖。請先參照第1圖、第1A圖及第1B圖，其中第1A圖係為第1圖中凸塊配置在晶片上的平面放大示意圖，第1B圖係為第1圖中凹孔配置在基板上的平面放大示意圖。在進行覆晶封裝製程時，首先要提供一晶片110及一基板130，其中晶片110具有一第一凸塊配置範圍120(第一接合塊配置範圍)，位在晶片



五、發明說明 (5)

110之一主動表面112上，且晶片110還具有二第一晶片接點114及多個第二晶片接點116，均配置在晶片110之主動表面112上的第一凸塊配置範圍120。第一晶片接點114係以第一凸塊配置範圍120之形心位置為中心，對稱配置在晶片110之第一凸塊配置範圍120上，且第一晶片接點114係分別位在晶片110之第一凸塊配置範圍120上的角落處，而第二晶片接點116亦位在晶片110之第一凸塊配置範圍120上。

基板130具有一第二凸塊配置範圍140(第二接合塊配置範圍)，位在一基板表面132上，而晶片110適於配置在基板130之第二凸塊配置範圍140上，且晶片110之第一凸塊配置範圍120係與基板130之第二凸塊配置範圍140相對應。基板130還具有二第一凹孔134及多個第二凹孔136，均配置在基板表面132上之第二凸塊配置範圍140中。且基板130還具有二第一基板接點138及多個第二基板接點139，透過第一凹孔134可以暴露出第一基板接點138，透過第二凹孔136可以暴露出第二基板接點139，其中第一凹孔138的深度大於第二凹孔139的深度，且第一凹孔138係以第二凸塊配置範圍140之形心位置為中心，對稱配置在第二凸塊配置範圍140上，第一凹孔138係分別位在第二凸塊配置範圍140之角落處，而第二凹孔139亦位在第二凸塊配置範圍140上。另外，第一晶片接點114配置在晶片110上的位置與第一凹孔134及第一基板接點138配置在基板130上的位置相對應，而第二晶片接點116配置在晶片110

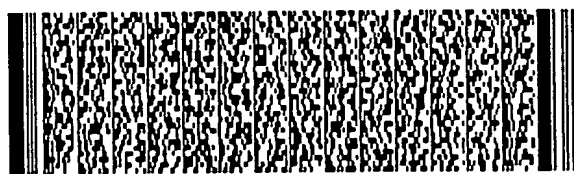


五、發明說明 (6)

上的位置與第二凹孔136及第二基板接點139配置在基板130上的位置相對應。

接著，便形成二第一凸塊150到第一晶片接點114上及多個第二凸塊152到第二晶片接點116上，其中第一凸塊150的型態係不同於第二凸塊152的型態，在本實施例中，第一凸塊150及第二凸塊152係均為球型的樣式，且第一凸塊150之高度 $h1$ 係大於第二凸塊152之高度 $s1$ ，其中第一凸塊150之高度 $h1$ 比如介於150微米到200微米之間，並且第一凸塊150之體積係大於第二凸塊152之體積，在製作時必須注意的是，第一凸塊150之截面積要大於基板130之第一凹孔134的截面積。此外，一焊料160可以利用網板印刷的方式形成到基板130之第一凹孔134中及第二凹孔136中，其中焊料160比如為膏狀的形式。

接下來，便要翻轉晶片110，使晶片110上的第一凸塊150對準基板130之第一凹孔134，並使晶片110上的第二凸塊152對準基板130之第二凹孔136。然後再將晶片110置放到基板130上，此時第一凸塊150會卡入到基板130之第一凹孔134中，並與位在第一凹孔134處的焊料160相黏附，而第二凸塊152會黏附到位在第二凹孔136處的焊料160上。由於在晶片110尚未置放到基板130上之前，在製作凸塊時便特別將第一凸塊150之截面積製作得大於基板130之第一凹孔134的截面積，因此在晶片110置放到基板130上之後，第一凸塊150係緊配合地與基板130之第一凹孔134接合，形成如第2圖所示的結構。如此晶片110便可



五、發明說明 (7)

以穩固地配置在基板130上，即使在進行運送時受到碰撞或在迴焊爐中受風吹動時，晶片110上的第一凸塊150及每一第二凸塊152依然可以位在基板130上期望的位置。

接下來，便進行迴焊的製程，使得第一凸塊150可以與基板130之第一凹孔134內的焊料160接合，以形成第一接合塊164，並且第二凸塊152亦可以與基板130之第二凹孔136內的焊料160接合，以形成第二接合塊166，形成如第3圖所示的結構。第一接合塊164與第二接合塊166係位在晶片110之第一接合塊配置範圍120與基板130之第二接合塊配置範圍140之間，可以使晶片110與基板130電性連接，其中第一接合塊164之體積係大於第二接合塊166之體積。

在本實施例中，由於在進行迴焊時，第一凸塊150係緊配合地與基板130之第一凹孔134接合，因此晶片110及基板130會以二第一凸塊150所形成的膨脹基準線155為基準，往膨脹基準線155的兩側膨脹(如第1A圖及第1B圖所示)，由於膨脹基準線155係對分第一凸塊配置範圍120及第二凸塊配置範圍140，因此位在膨脹基準線155兩側最遠離膨脹基準線155的第二凸塊152a、152b距離膨脹基準線155的距離係為相等的，故在受熱膨脹時第二凸塊152a、152b的形變量亦是相等的，如此可以使第二凸塊152a、152b平均地承受熱膨脹應力，因而可以避免第二凸塊152a、152b與基板130之間產生剝離的情形，以提高晶片130與基板130間接合的可靠度。

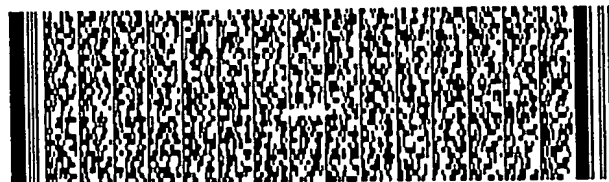
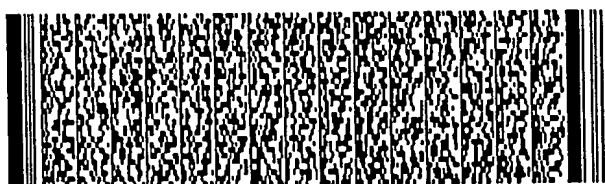


五、發明說明 (8)

此外，即使受到基板130翹曲現象或晶片110與基板130間熱膨脹係數不同的影響，在本實施例中，由於在晶片110之第一凸塊配置範圍120上的角落處配置有體積較大且高度較高的第一凸塊150，因此可以彌補因為基板130翹曲現象或晶片110與基板130間熱膨脹係數不同等因素所造成的第一晶片接點114與第一基板接點138之間距離過遠的問題，以提高晶片110與基板130接合的可靠度。

最後，還可以填入一填充材料190到晶片110與基板130之間，並包覆第一接合塊164及第二接合塊166，形成如第4圖所示的結構。

在前述的較佳實施例中，第一凸塊是類似球狀的樣式，然而本發明的應用並非限於此，第一凸塊250亦可以由導電柱256及焊塊258所構成，如第5圖所示，其繪示本發明第二較佳實施例的一種覆晶封裝製程的剖面放大示意圖。其中第一凸塊250的體積及高度 h_2 均大於第二凸塊252的體積及高度 s_2 ，而第一凸塊250之高度 h_2 比如介於150微米到200微米之間，第一凹孔234的深度大於第二凹孔236的深度。在晶片210置放到基板230上之後，第一凸塊250之焊塊258可以與基板230之第一凹孔234接合，並與位在第一凹孔234處的焊料260相黏附。而第二凸塊252係為球型的樣式，會黏附到位在基板230之第二凹孔236處的焊料260上。由於在晶片210尚未置放到基板230上之前，在製作凸塊時便特別將第一凸塊250之焊塊258的截面積製作得大於基板230之第一凹孔234的截面積，因此在晶片



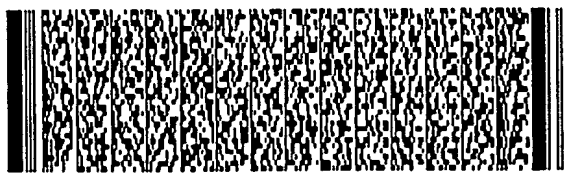
五、發明說明 (9)

210 置放到基板230上之後，第一凸塊250之焊塊258係緊配合地與基板230之第一凹孔234接合。

另外，第一凸塊350亦可以是柱狀的樣式，如第6圖所示，其繪示本發明第三較佳實施例的一種覆晶封裝製程的剖面放大示意圖。其中第一凸塊350的體積及高度 h_3 均大於第二凸塊352的體積及高度 s_3 ，而第一凸塊350之高度 h_3 比如介於150微米到200微米之間，第一凹孔334的深度大於第二凹孔336的深度。在晶片310置放到基板330上之後，第一凸塊350可以與基板330之第一凹孔334接合，並與位在第一凹孔334處的焊料360相黏附。而第二凸塊352係為球型的樣式，會黏附到位在基板330之第二凹孔336處的焊料360上。由於在晶片310尚未置放到基板330上之前，在製作凸塊時便特別將第一凸塊350之截面積製作得大於基板330之第一凹孔334的截面積，因此在晶片310置放到基板330上之後，第一凸塊350係緊配合地與基板330之第一凹孔334接合。

在上述的實施例中，第一凸塊及第一接合塊是具有電性功能地與基板電性連接；然而第一凸塊及第一接合塊亦可以是無電性功能地與基板接合，僅作為晶片與基板間相互定位之用。

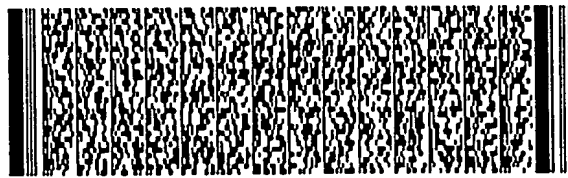
在前述的較佳實施例中，第一凸塊係配置在晶片上第一凸塊配置範圍的角落處，第一凹孔係配置在基板上第二凸塊配置範圍的角落處；然而本發明的應用並非限於此，亦可以將第一凸塊450配置在晶片410上第一凸塊配置



五、發明說明 (10)

範圍420的中間區域，第一凹孔434配置在基板430上第二凸塊配置範圍440的中間區域，如第7A圖及第7B圖所示，其中第7A圖係為本發明第四較佳實施例中凸塊配置在晶片上的平面放大示意圖，第7B圖係為本發明第四較佳實施例中凹孔配置在基板上的平面放大示意圖。其中第一凸塊450的體積及高度均大於第二凸塊452的體積及高度，第一凹孔434的深度大於第二凹孔436的深度。而第一凸塊450的形狀可以如第一實施例所繪的球狀樣式，亦可以如第二實施例所繪的由導電柱及焊塊所組合而成的樣式，亦可以如第三實施例所繪的柱狀樣式。在本實施例中，由於在進行迴焊時，第一凸塊450可以緊配合地與基板430之第一凹孔434接合，因此晶片410及基板430會以第一凸塊450為膨脹基準點往外膨脹，由於第一凸塊450(膨脹基準點)位在晶片410上第一凸塊配置範圍410的中間區域，因此最遠離第一凸塊450(膨脹基準點)的第二凸塊452a、452b、452c、452d距離膨脹基準點450的距離係為相等的，故在受熱膨脹時第二凸塊452a、452b、452c、452d的形變量亦是相等的，如此可以使第二凸塊452a、452b、452c、452d平均地承受熱膨脹應力，因而可以避免第二凸塊452a、452b、452c、452d與基板430之間產生剝離的情形，以提高晶片430與基板430間接合的可靠度。

然而本發明亦可以將第一凸塊550配置在晶片510上第一凸塊配置範圍520的四角落處，第一凹孔534配置在基板530上第二凸塊配置範圍540的四角落處，如第8A圖及第



五、發明說明 (11)

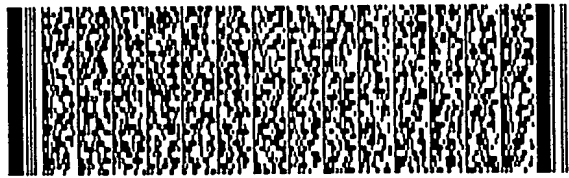
8B圖所示，其中第8A圖係為本發明第五較佳實施例中凸塊配置在晶片上的平面放大示意圖，第8B圖係為本發明第五較佳實施例中凹孔配置在基板上的平面放大示意圖。其中第一凸塊550的體積及高度均大於第二凸塊552的體積及高度，第一凹孔534的深度大於第二凹孔536的深度。而第一凸塊550的形狀可以如第一實施例所繪的球狀樣式，亦可以如第二實施例所繪的由導電柱及焊塊所組合而成的樣式，亦可以如第三實施例所繪的柱狀樣式。在晶片510與基板530接合之後，第一凸塊550可以緊配合地與基板530之第一凹孔534接合。

在前述的較佳實施例中，凸塊與凹孔緊配合地接合結構係應用在以晶片與基板為承載器的結構之間，然而本發明的應用並不限於此，凸塊與凹孔緊配合地接合結構亦可以應用在以二晶片為承載器的結構之間，或者亦可以應用在以二基板為承載器的結構之間。

綜上所述，本發明至少具有下列的優點：

1. 本發明之覆晶封裝結構，是藉由形成體積較大及高度較高的第一凸塊到晶片上，並且將晶片接合到基板上時，第一凸塊係以緊配合的方式與基板之第一凹孔接合，因此即使在進行運送時受到碰撞或在迴焊爐中受風吹動時，晶片上之第一凸塊及每一第二凸塊依然可以位在基板上期望的位置。

2. 本發明之覆晶封裝結構，由於可以控制晶片與基板間的膨脹基準點或膨脹基準線，使得膨脹基準點可以位



五、發明說明 (12)

在形成凸塊範圍的中間區域，或者膨脹基準線可以對分形成凸塊範圍的區域，如此在加熱晶片及基板時，最遠離膨脹基準點或膨脹基準線的晶片接點之位移量與基板接點之位移量之間的距離可以減小，故位在最遠離膨脹基準點或膨脹基準線的第二凸塊所受到受熱膨脹的應力可以減小，以提高晶片與基板接合的可靠度。

3. 本發明之覆晶封裝結構，由於可以在最遠離膨脹基準點的位置配置有體積較大及高度較高的第一凸塊，因此可以彌補因為基板翹曲現象或晶片與基板間熱膨脹係數不同的影響所造成的晶片接點與其所對應之基板接點間距離過遠的問題，故可以減少位在凸塊形成範圍之邊緣位置的第一凸塊與基板間產生剝離的現象，以提高晶片與基板接合的可靠度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖至第4圖繪示本發明第一較佳實施例的一種覆晶封裝製程的剖面放大示意圖。

第1A圖係為第1圖中凸塊配置在晶片上的平面放大示意圖。

第1B圖係為第1圖中凹孔配置在基板上的平面放大示意圖。

第5圖繪示本發明第二較佳實施例的一種覆晶封裝製程的剖面放大示意圖。

第6圖繪示本發明第三較佳實施例的一種覆晶封裝製程的剖面放大示意圖。

第7A圖係為本發明第四較佳實施例中凸塊配置在晶片上的平面放大示意圖。

第7B圖係為本發明第四較佳實施例中凹孔配置在基板上的平面放大示意圖。

第8A圖係為本發明第五較佳實施例中凸塊配置在晶片上的平面放大示意圖。

第8B圖係為本發明第五較佳實施例中凹孔配置在基板上的平面放大示意圖。

圖式標示說明

110：晶片

112：主動表面

114：第一晶片接點

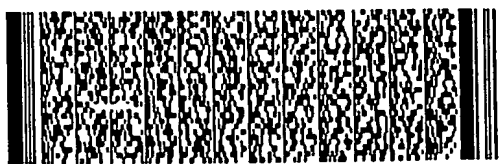
116：第二晶片接點

120：第一凸塊配置範圍、第一接合塊配置範圍



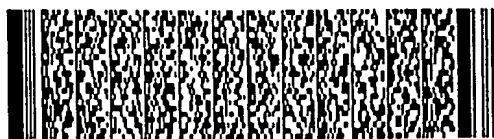
圖式簡單說明

- 130 : 基板
- 132 : 基板表面
- 134 : 第一凹孔
- 136 : 第二凹孔
- 138 : 第一基板接點
- 139 : 第二基板接點
- 140 : 第二凸塊配置範圍、第二接合塊配置範圍
- 150 : 第一凸塊
- 152 : 第二凸塊
- 152a : 第二凸塊
- 152b : 第二凸塊
- 155 : 膨脹基準線
- 160 : 焊料
- 164 : 第一接合塊
- 166 : 第二接合塊
- 190 : 填充材料
- 210 : 晶片
- 230 : 基板
- 234 : 第一凹孔
- 236 : 第二凹孔
- 250 : 第一凸塊
- 252 : 第二凸塊
- 256 : 導電柱
- 258 : 焊塊



圖式簡單說明

- 260 : 焊料
- 310 : 晶片
- 330 : 基板
- 334 : 第一凹孔
- 336 : 第二凹孔
- 350 : 第一凸塊
- 352 : 第二凸塊
- 360 : 焊料
- 410 : 晶片
- 420 : 第一凸塊配置範圍
- 430 : 基板
- 434 : 第一凹孔
- 436 : 第二凹孔
- 440 : 第二凸塊配置範圍
- 450 : 第一凸塊、膨脹基準點
- 452 : 第二凸塊
- 452a : 第二凸塊
- 452b : 第二凸塊
- 452c : 第二凸塊
- 452d : 第二凸塊
- 510 : 晶片
- 520 : 第一凸塊配置範圍
- 530 : 基板
- 534 : 第一凹孔



圖式簡單說明

536 : 第二凹孔

540 : 第二凸塊配置範圍

550 : 第一凸塊、膨脹基準點

552 : 第二凸塊

h1 : 第一凸塊的高度

h2 : 第一凸塊的高度

h3 : 第一凸塊的高度

s1 : 第二凸塊的高度

s2 : 第二凸塊的高度

s3 : 第二凸塊的高度



六、申請專利範圍

1. 一種覆晶封裝結構，至少包括：

一晶片，具有一第一接合塊配置範圍；

一基板，具有一第二接合塊配置範圍，並且該基板具有至少一第一凹孔及複數個第二凹孔，該第一凹孔及該些第二凹孔位在該第二接合塊配置範圍上，而該第一凹孔的深度大於該些第二凹孔的深度；

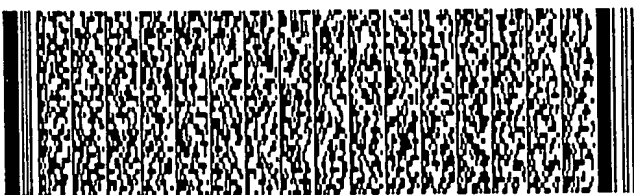
至少一第一接合塊，位在該晶片之該第一接合塊配置範圍與該基板之該第二接合塊配置範圍之間，且該第一接合塊透過該第一凹孔與該基板接合；以及

複數個第二接合塊，位在該晶片之該第一接合塊配置範圍與該基板之該第二接合塊配置範圍之間，且該些第二接合塊透過該些第二凹孔與該基板接合，

其中該第一接合塊之體積係大於該些第二接合塊之體積。

2. 如申請專利範圍第1項所述之覆晶封裝結構，其中該第一接合塊的數目係為一個，而該第一接合塊係位在該晶片之該第一接合塊配置範圍的中間區域上，且該第一凹孔的數目係為一個，而該第一凹孔係位在該第二接合塊配置範圍之中間區域上。

3. 如申請專利範圍第1項所述之覆晶封裝結構，其中該些第一接合塊的數目係為二個，而該二第一接合塊係以該晶片之該第一接合塊配置範圍的形心位置為中心，對稱配置在該晶片與該基板之間，且該些第一凹孔的數目係為二個，而該二第一凹孔係以該第二接合塊配置範圍之形心



六、申請專利範圍

位置為中心，對稱配置在該第二接合塊配置範圍上。

4. 如申請專利範圍第1項所述之覆晶封裝結構，其中該些第一接合塊的數目係為複數個，該些第一接合塊係分別位在該晶片與該基板之間且靠近該晶片之該第一接合塊配置範圍的角落處，且該些第一凹孔的數目係為複數個，而該些第一凹孔係分別位在該第二接合塊配置範圍之角落處。

5. 如申請專利範圍第1項所述之覆晶封裝結構，其中該第一接合塊係無電性功能地配置在該晶片與該基板之間。

6. 如申請專利範圍第1項所述之覆晶封裝結構，其中該第一接合塊係具有電性功能地配置在該晶片與該基板之間。

7. 如申請專利範圍第1項所述之覆晶封裝結構，還包括一填充材料，位在該晶片與該基板之間並包覆該第一接合塊及該些第二接合塊。

8. 一種覆晶晶片結構，至少包括：

一晶片，具有一第一凸塊配置範圍；

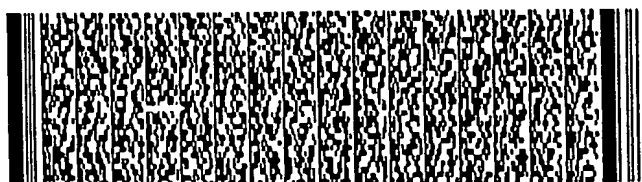
至少一第一凸塊，位在該第一凸塊配置範圍上；以

及

複數個第二凸塊，位在該第一凸塊配置範圍上，

其中該第一凸塊的型態係不同於該些第二凸塊的型態。

9. 如申請專利範圍第8項所述之覆晶晶片結構，其中



六、申請專利範圍

該第一凸塊之高度大於該些第二凸塊之高度。

10. 如申請專利範圍第8項所述之覆晶晶片結構，其中該第一凸塊的數目係為一個，而該第一凸塊係位在該晶片之該第一凸塊配置範圍的中間區域上。

11. 如申請專利範圍第8項所述之覆晶晶片結構，其中該些第一凸塊的數目係為二個，而該二第一凸塊係以該晶片之該第一凸塊配置範圍的形心位置為中心，對稱配置在該晶片上。

12. 如申請專利範圍第8項所述之覆晶晶片結構，其中該些第一凸塊的數目係為複數個，該些第一凸塊係分別位在該晶片與該基板之間且靠近該晶片之該第一凸塊配置範圍的角落處。

13. 如申請專利範圍第8項所述之覆晶晶片結構，其中該第一凸塊係無電性功能地配置在該晶片上。

14. 如申請專利範圍第8項所述之覆晶晶片結構，其中該第一凸塊係具有電性功能地配置在該晶片上。

15. 如申請專利範圍第8項所述之覆晶晶片結構，其中該第一凸塊係為球狀的樣式。

16. 如申請專利範圍第8項所述之覆晶晶片結構，其中該第一凸塊包括：

一導電柱，位在該晶片上；以及

一焊塊，位在該導電柱上。

17. 如申請專利範圍第8項所述之覆晶晶片結構，其中該第一凸塊係為柱狀的樣式。



六、申請專利範圍

18. 如申請專利範圍第8項所述之覆晶晶片結構，其中該些第二凸塊係為球狀的樣式。

19. 如申請專利範圍第8項所述之覆晶晶片結構，其中該第一凸塊的高度係介於150微米到200微米之間。

20. 如申請專利範圍第8項所述之覆晶晶片結構，其中該第一凸塊之體積大於該些第二凸塊之體積。

21. 一種基板，具有至少一第一凹孔及複數個第二凹孔，分別配置在該基板之一表面上，且該第一凹孔的深度係大於該些第二凹孔的深度。

22. 如申請專利範圍第21項所述之基板，還具有複數個電性接點，而該些第二凹孔分別暴露出該些電性接點。

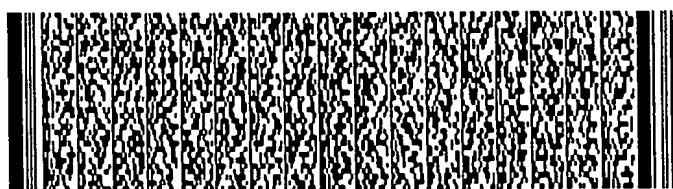
23. 如申請專利範圍第21項所述之基板，還具有至少一電性接點，而該第一凹孔暴露出該電性接點。

24. 如申請專利範圍第21項所述之基板，還具有一接合塊配置範圍，其中該第一凹孔的數目係為一個，而該第一凹孔係位在該接合塊配置範圍之中間區域上。

25. 如申請專利範圍第21項所述之基板，還具有一接合塊配置範圍，其中該些第一凹孔的數目係為二個，而該二第一凹孔係以該接合塊配置範圍之形心位置為中心，對稱配置在該凸塊配置範圍上。

26. 如申請專利範圍第21項所述之基板，還具有一接合塊配置範圍，其中該些第一凹孔的數目係為複數個，而該些第一凹孔係分別位在該接合塊配置範圍之角落處。

27. 一種承載器間接合方法，至少包括：



六、申請專利範圍

提供一第一承載器；

形成至少一第一凸塊及複數個第二凸塊到該第一承載器上，其中該第一凸塊的型態係不同於該些第二凸塊的型態；

提供一第二承載器，該第二承載器具有一第一凹孔及複數個第二凹孔；

將該第一承載器置放到該第二承載器上，其中該第一凸塊係緊配合地與該第二承載器之該第一凹口接合，而該些第二凸塊的位置係大致上對準該些第二凹口；以及進行一迴焊製程。

28. 如申請專利範圍第27項所述之承載器間接合方法，其中該第一承載器係為晶片及基板，二者擇一。

29. 如申請專利範圍第27項所述之承載器間接合方法，其中該第二承載器係為晶片及基板，二者擇一。

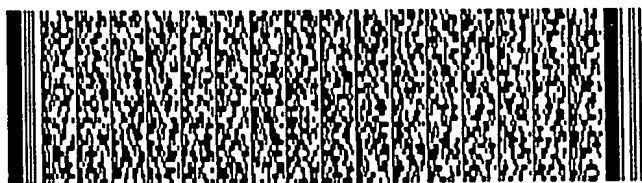
30. 如申請專利範圍第27項所述之承載器間接合方法，其中該第一凸塊係為球狀的樣式。

31. 如申請專利範圍第27項所述之承載器間接合方法，其中該第一凸塊包括：

一導電柱，位在該第一承載器上；以及
一焊塊，位在該導電柱上。

32. 如申請專利範圍第27項所述之承載器間接合方法，其中該第一凸塊係為柱狀的樣式。

33. 如申請專利範圍第27項所述之承載器間接合方法，其中該第一凸塊的高度係介於150微米到200微米之



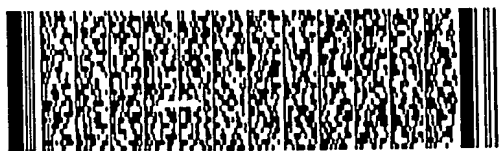
六、申請專利範圍

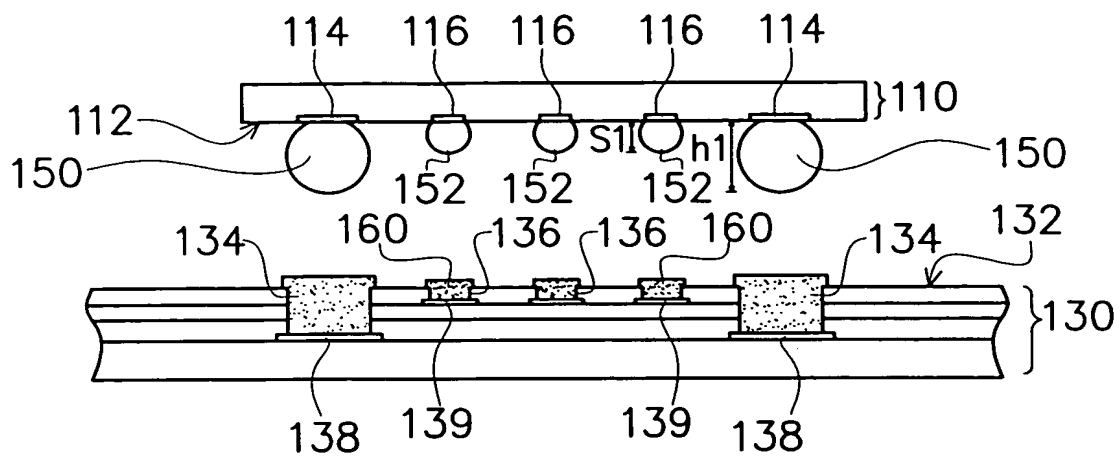
間。

34. 如申請專利範圍第27項所述之承載器間接合方法，其中該第一凸塊係無電性功能地形成在該第一承載器上。

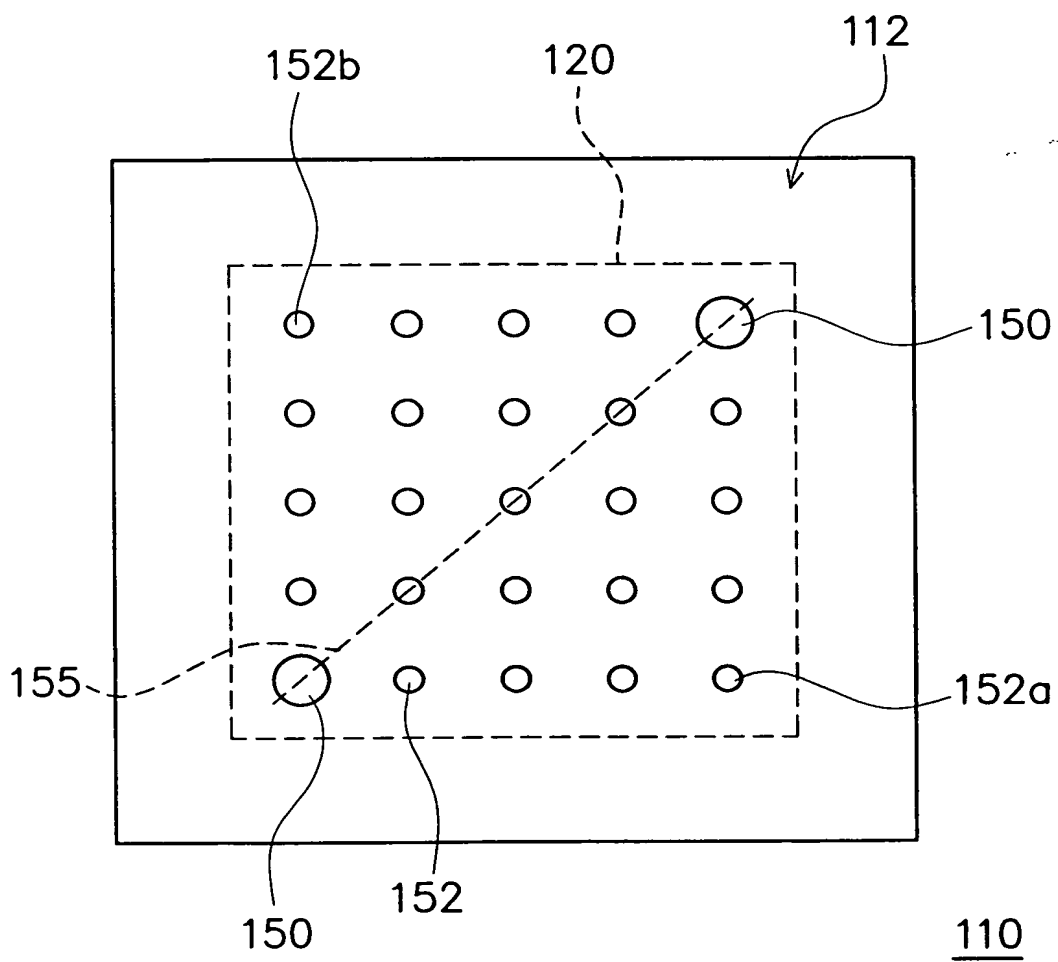
35. 如申請專利範圍第27項所述之承載器間接合方法，其中該第一凸塊係具有電性功能地形成在該第一承載器上。

36. 如申請專利範圍第27項所述之承載器間接合方法，其中在該第一凸塊尚未與該第二承載器之該第一凹孔接合前，該第一凸塊之截面積係大於該第一凹孔之截面積。

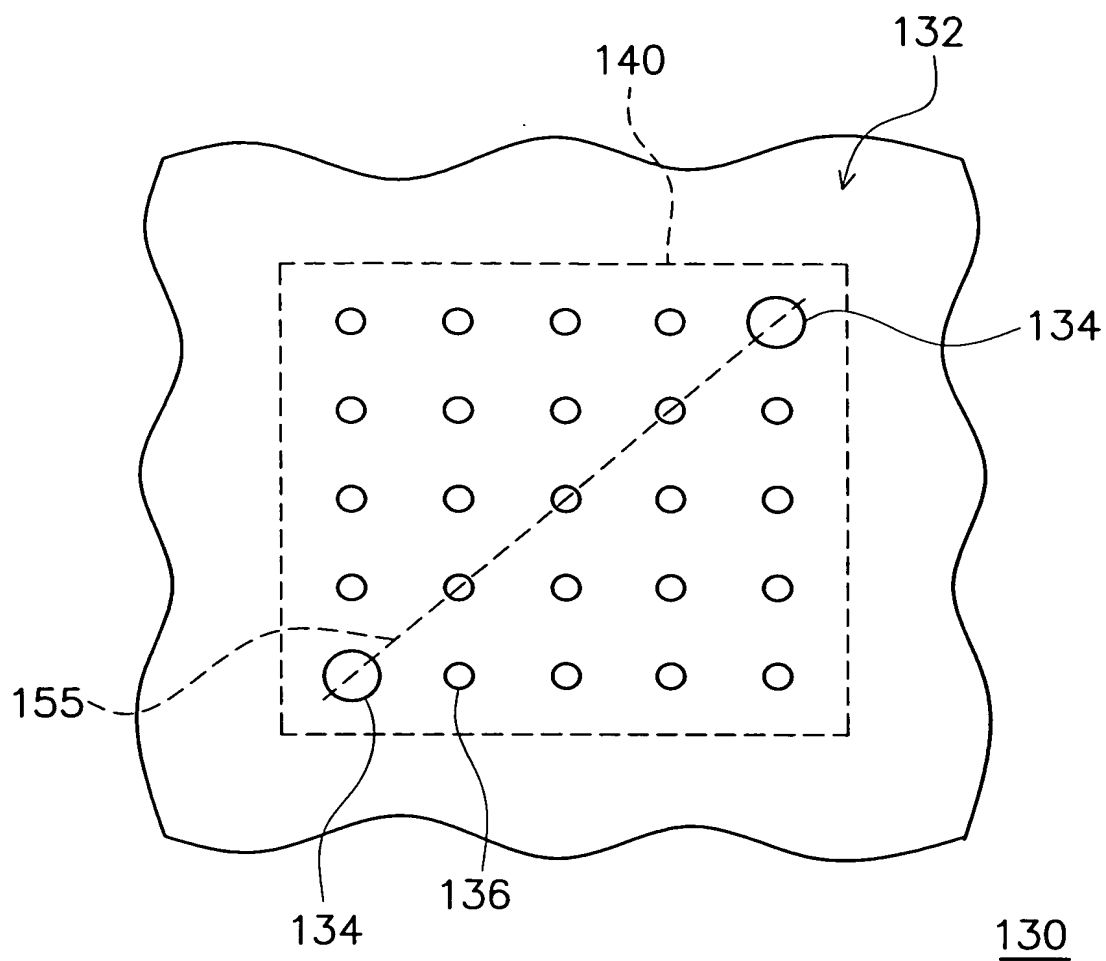




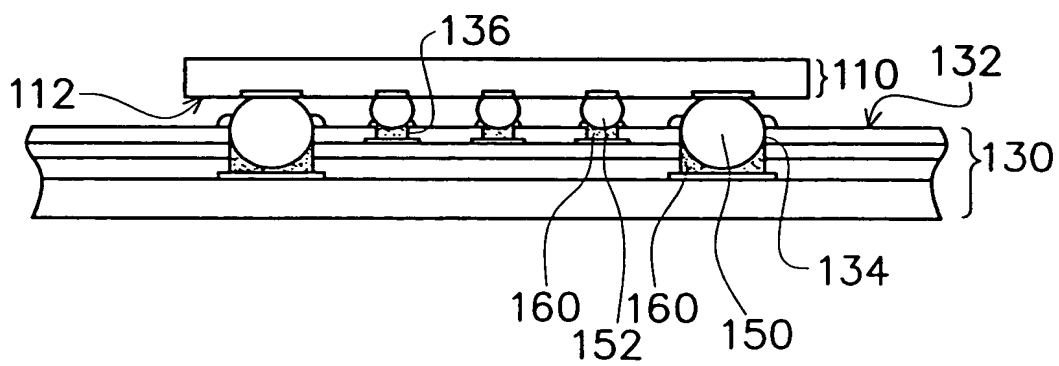
第 1 圖



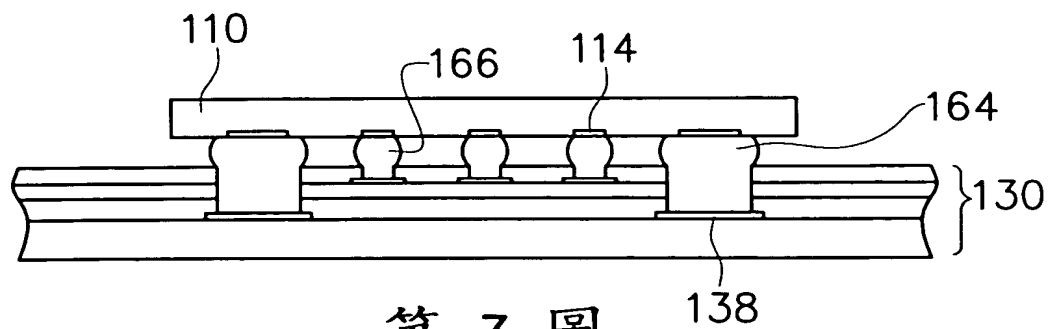
第 1A 圖



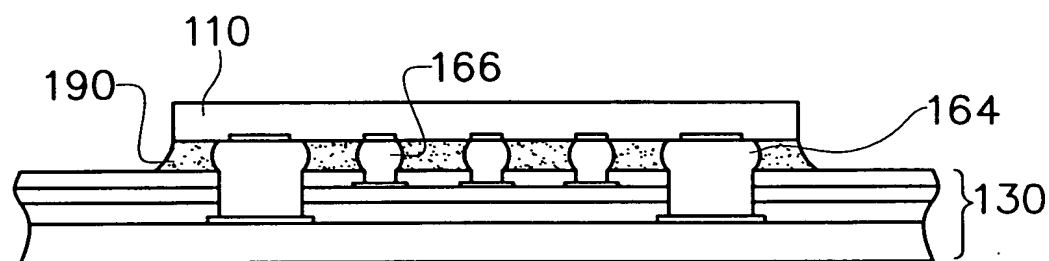
第 1B 圖



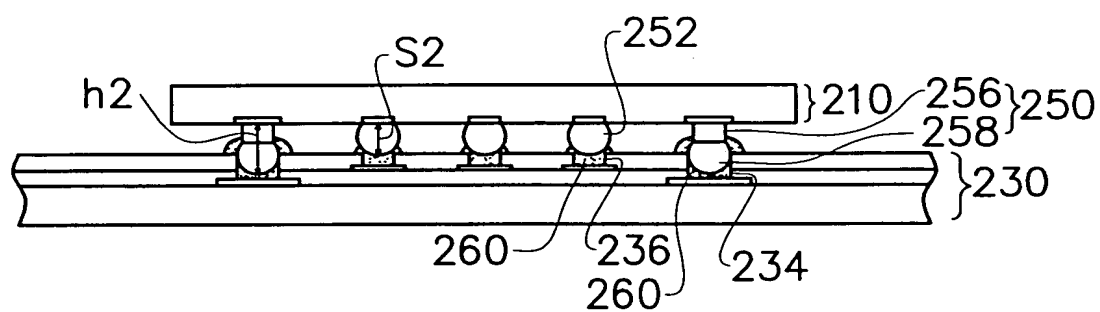
第 2 圖



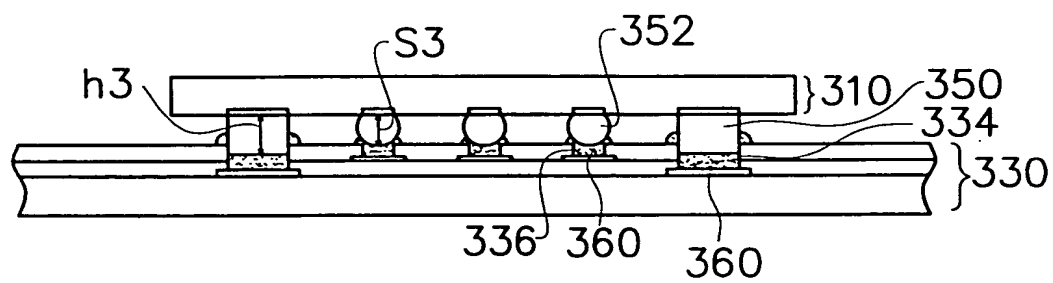
第 3 圖



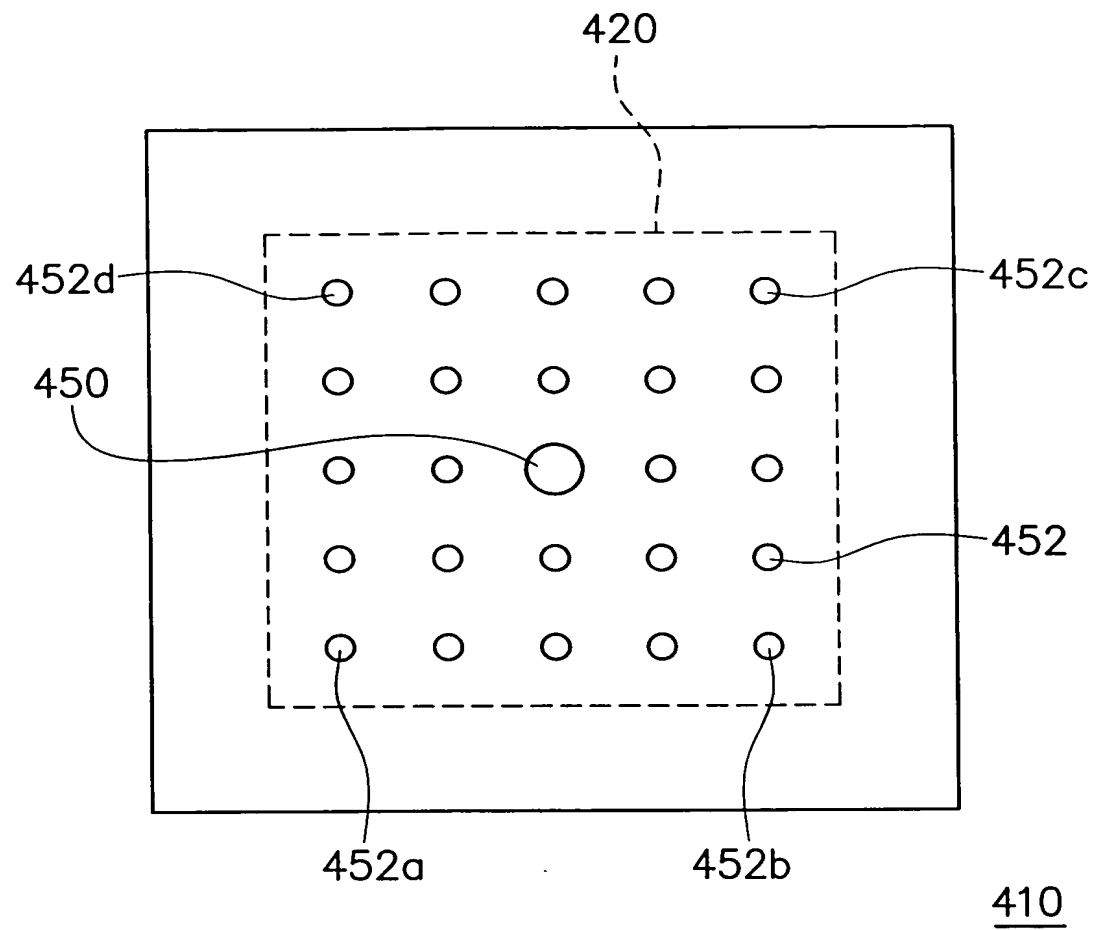
第 4 圖



第 5 圖

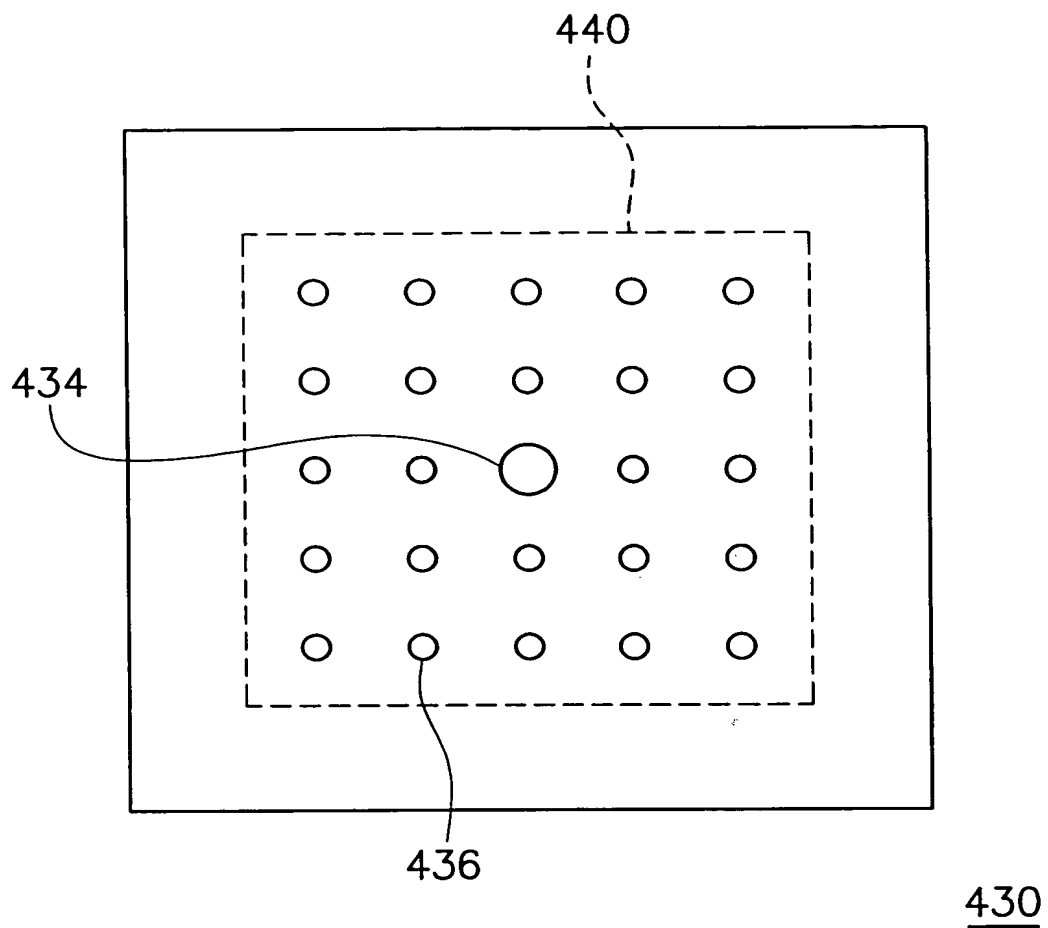


第 6 圖

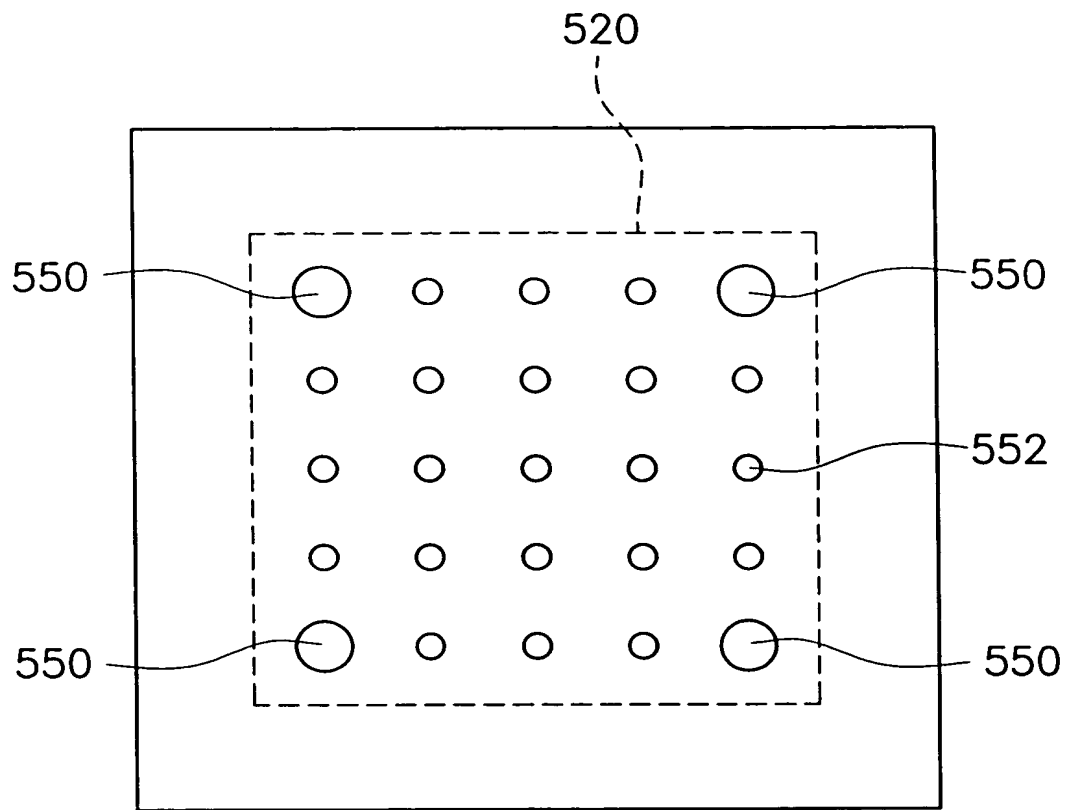


第 7A 圖

410

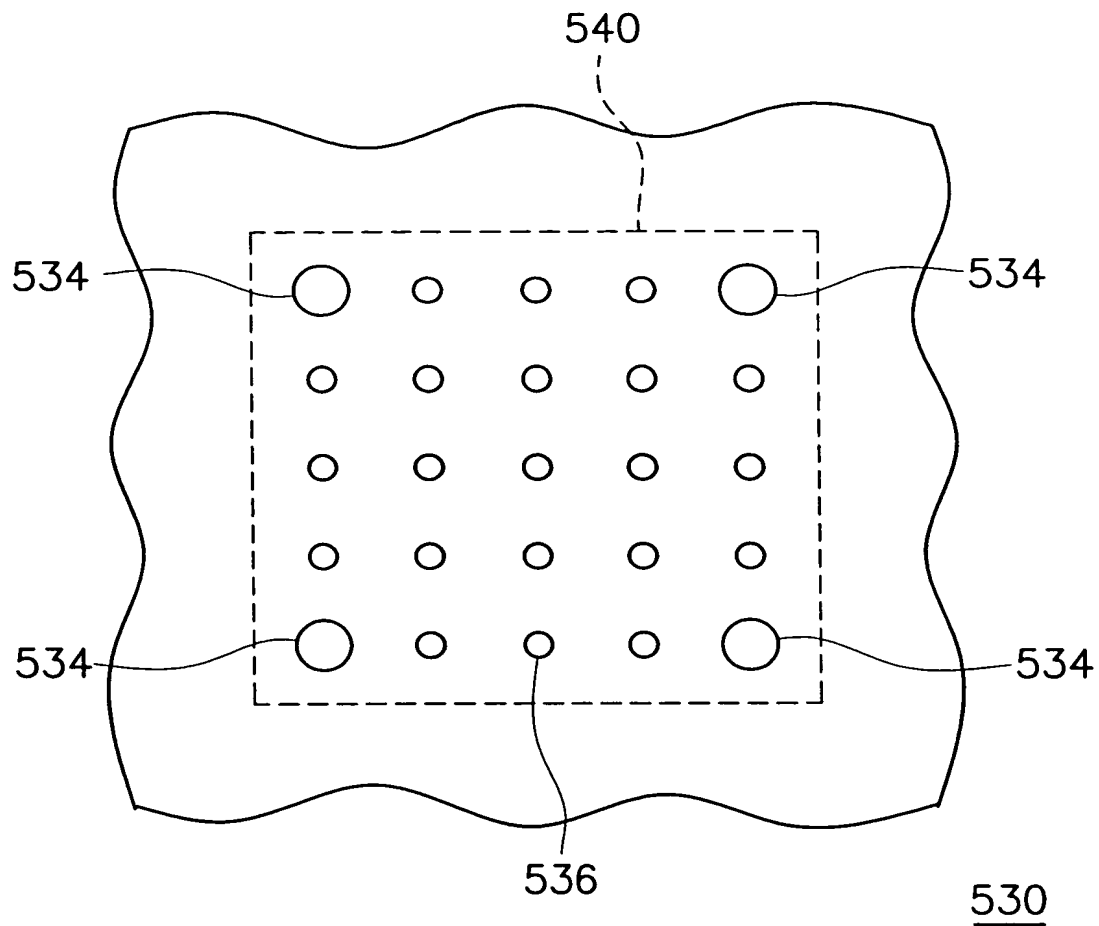


第 7B 圖



510

第 8A 圖

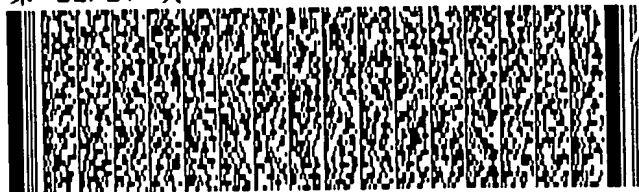


第 8B 圖

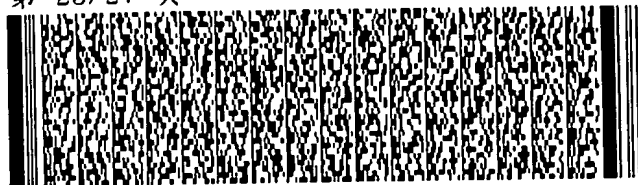
第 21/27 頁



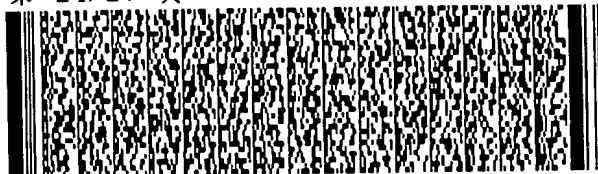
第 22/27 頁



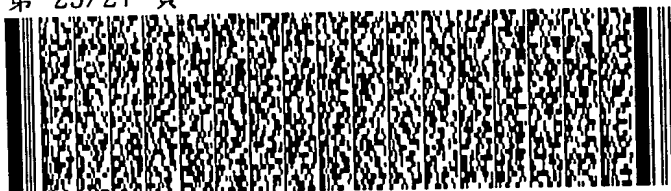
第 23/27 頁



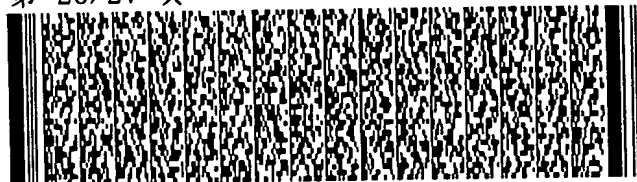
第 24/27 頁



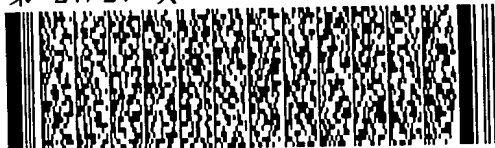
第 25/27 頁



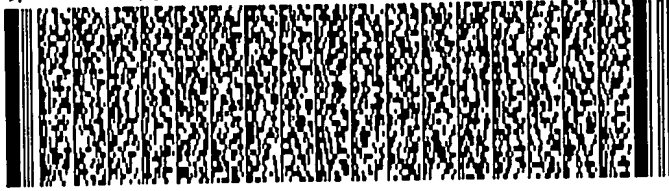
第 26/27 頁



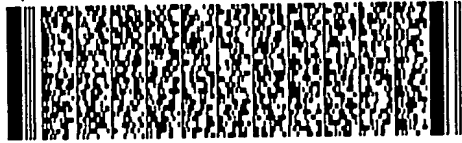
第 27/27 頁



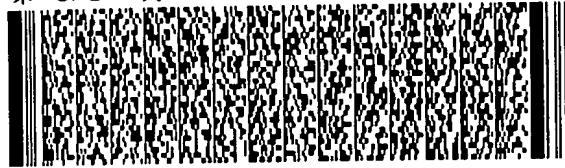
第 1/27 頁



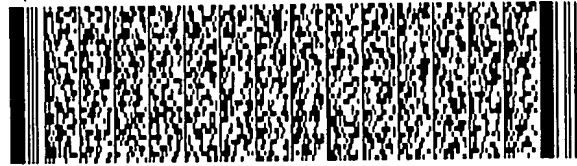
第 2/27 頁



第 3/27 頁



第 3/27 頁



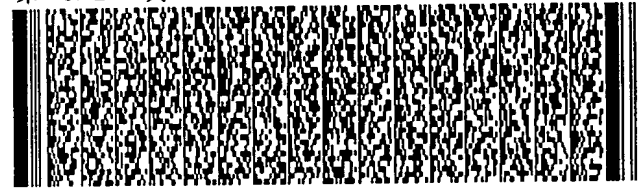
第 4/27 頁



第 5/27 頁



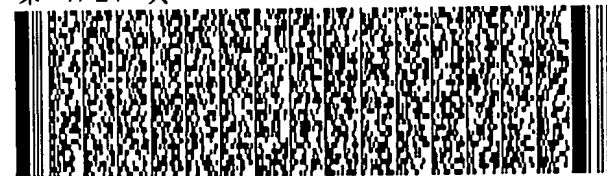
第 6/27 頁



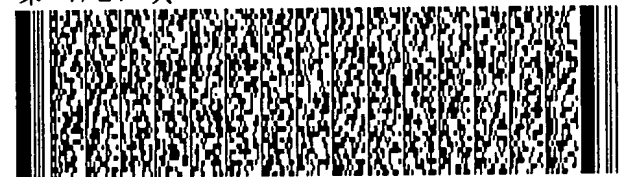
第 6/27 頁



第 7/27 頁



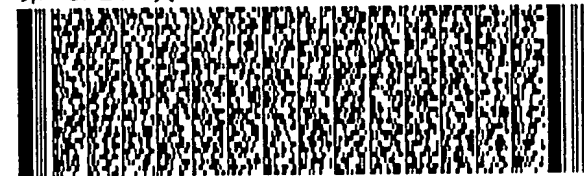
第 7/27 頁



第 8/27 頁



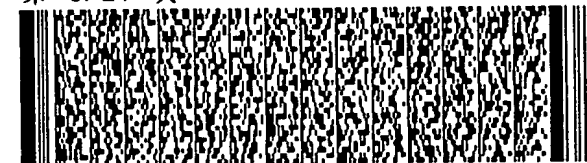
第 8/27 頁



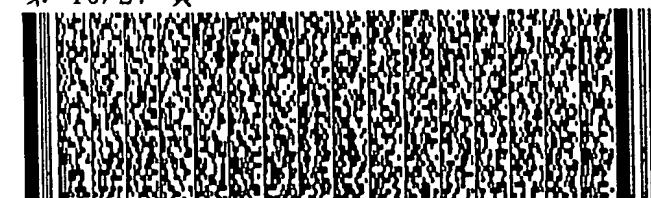
第 9/27 頁



第 9/27 頁



第 10/27 頁



第 11/27 頁

